

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106811

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H01P 3/08
H01L 25/00

(21)Application number : 05-243029

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 29.09.1993

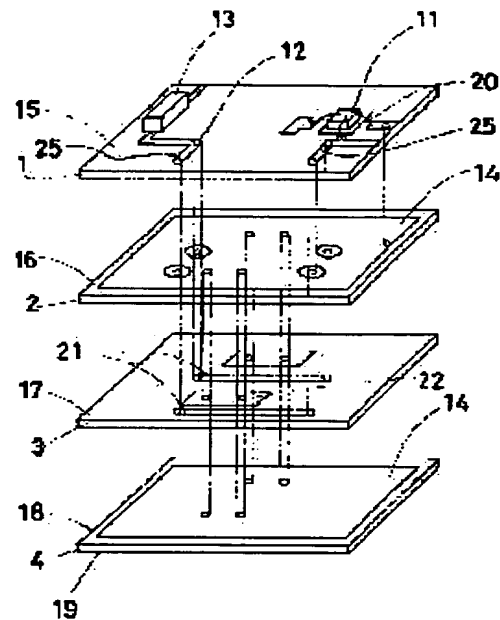
(72)Inventor : MAKIOKA TOSHIFUMI
KANAZAWA KUNIHICO
YOSHIKAWA NORIYUKI

(54) HIGH-FREQUENCY CIRCUIT

(57)Abstract:

PURPOSE: To make the size of the high-frequency circuit module small.

CONSTITUTION: A glass ceramic including alumina or barium is employed for a material of a multi-layer board. The multi-layer board is structured by four layer flat plates 1-4 whose thickness is 150 μ m and whose side is 7mm each and the layers are interconnected by a throughhole 12. The front side 15 of the 1st layer is provided with a high dielectric substance incorporating GaAs- MMIC 11, a chip component 13 and a microstrip line 25. A ground conductor 14 is arranged to almost the entire face of the front side 16 of the 2nd layer and the front side 18 of the 4th layer. A conductor line 21 being a strip line is arranged to the front side 17 of the 3rd layer and the respective conductor lines 21 are separated by a ground conductor 22. A bias resistor being a printed resistive element is formed to the rear side 19 of the 4th layer.



LEGAL STATUS

[Date of request for examination] 29.09.1998

[Date of sending the examiner's decision of rejection] 15.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106811

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.⁴

H 0 1 P 3/08

H 0 1 L 25/00

識別記号

庁内整理番号

F I

技術表示箇所

B

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平5-243029

(22) 出願日 平成5年(1993)9月29日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 牧岡 敏史

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 金澤 邦彦

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 吉川 則之

大阪府高槻市幸町1番1号 松下電子工業株式会社内

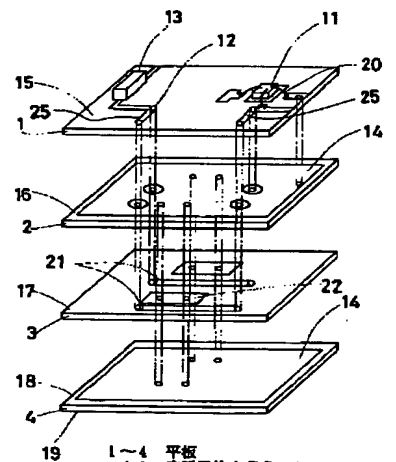
(74) 代理人 弁理士 宮井 暁夫

(54) 【発明の名称】 高周波回路

(57) 【要約】

【目的】 高周波回路モジュールを小型化する。

【構成】 多層基板の材料として、アルミナまたはバリウムを含むガラスセラミックを用いる。多層基板の構造は厚さ150 μ m、縦横7mm角の4層の平板1~4で構成し、それぞれの層間はスルーホール12で結線している。第1層表面15には高誘電体内蔵GaAs-MMIC11とチップ部品13とマイクロストリップ線路25が設けられている。第2層表面16、第4層表面18にはほぼ全面に接地導体14が配置されている。第3層表面17には、ストリップ線路からなる導体線路21が配置されていて、それぞれの導体線路21間は、接地導体22によって分離されている。第4層裏面19には、印刷抵抗素子によりバイアス抵抗が形成されている。



- 1~4 平板
- 11 高誘電体内蔵GaAs-MMIC
- 12 スルーホール
- 13 チップ部品
- 14 接地導体
- 15 第1層表面
- 16 第2層表面
- 17 第3層表面
- 18 第4層表面
- 19 第4層裏面
- 20 ワイヤ
- 21 導体線路
- 22 接地導体

【特許請求の範囲】

【請求項1】 アルミナまたはバリウムを含む平板を2枚以上重ねた多層基板と、能動素子およびチタン酸バリウムとチタン酸ストロンチウムとの混晶薄膜を容量絶縁膜とする容量素子を含む集積回路が形成され前記多層基板の一面に設置された半導体基板とを備えた高周波回路。

【請求項2】 多層基板の反対面に印刷抵抗素子が形成されている請求項1記載の高周波回路。

【請求項3】 多層基板を構成する一平板の表面上に2本以上の導体線路が形成されるとともに前記一平板の表面上の前記導体線路間に接地金属導体が形成され、かつ前記一平板を挟む上下の他の平板上のほぼ全面に接地導体層が形成されている請求項1記載の高周波回路。

【請求項4】 多層基板を構成する一平板の表面上にフィルタが形成され、かつ前記一平板を挟む上下の他の平板上のほぼ全面に接地導体層が形成されている請求項1記載の高周波回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、各種通信機器に用いられる半導体素子を含む高周波回路に関するものである。

【0002】

【従来の技術】近年、情報通信の果たす役割は極めて大きく、移動通信システムに対する需要は急速に高まってきている。こうした状況の中で、携帯電話やコードレス電話では、システムの小型化に対する要求から、使用される高周波回路の小型化が極めて重要になりつつある。従来から、高周波半導体素子であるシリコン・バイポーラ・トランジスタやガリウム砒素電界効果トランジスタやMOSFET等の能動素子と受動素子を用いたモジュールがその優れた高周波特性を生かして使われている。

【0003】図3に従来の高周波回路モジュールの例として、高出力増幅器を示す。このモジュールの大きさは $12 \times 17 \text{ mm}$ であり、アルミナセラミック基板33上に設けた半導体素子31、チップ部品13、ストリップ線路32、端子34および導体線路35等により構成されている。半導体素子31として例えばGaAsを用いた高出力電界効果トランジスタ(FET)を用い、半導体素子31であるFETの前後にチップ部品13として例えばインピーダンス整合回路を設けている。

【0004】半導体素子31であるFETのバイアス点は、要求される動作電流、動作電圧、歪特性により決定される。また、第2高調波を減衰させるために終端開放の長さが線路内波長の4分の1の導体線路35を上記FETのドレインバイアスの線路として用いている。この導体線路35は、線路内波長の4分の1と長いので、モジュールの小型化に際して大きな問題となっている。また、この導体線路35は、線路長が長いので、他の線路

と電磁界的に結合しやすく発振等の問題を引き起こす原因となっている。

【0005】

【発明が解決しようとする課題】上記のように従来のモジュールでは、インピーダンス整合回路であるチップ部品13とバイアス回路である導体線路35とが大きな面積を占めている。これらは、チップコンデンサ、チップ抵抗、インダクタンスであり、これらの占める面積を小さくすることでモジュールのサイズを小さくできる。

【0006】チップコンデンサについては、コンデンサを集積回路内に内蔵することにより、大幅な小型化が期待できる。しかしながら、従来より半導体基板上にキャパシタを形成するために用いられてきた窒化珪素膜あるいは酸化珪素膜のような誘電体では誘電率が小さいため(7未満)、キャパシタがそのチップ面積に占める割合が非常に大きくなり、バイパスキャパシタ等の大きな容量値をもつキャパシタは従来の構成では、集積化が困難であった。

【0007】また、チップ抵抗は、必要な動作特性に応じて調整する必要があるため、半導体素子に内蔵することができず小型化の妨げとなっている。さらに、終端開放の長さが線路内波長の4分の1の導体線路やインダクタンスからなるフィルタを半導体基板上に形成すると、チップ面積に占める割合が大きく、しかも、半導体基板上に形成した導体線路は配線抵抗が大きいため、Q値が低く、しかも、他の導体線路に隣接することになるので電磁界的な結合が起こりやすい等の問題があった。また、回路を高密度に集積するためにモジュール基板上や内部に複数の導体線路を隣接して配置した場合、相互に電磁界的に結合し、発振等の問題を引き起こす原因となっている。

【0008】この発明の目的は、小型化できる高周波回路を提供することである。

【0009】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の高周波回路は、アルミナまたはバリウムを含む平板を2枚以上重ねた多層基板と、能動素子およびチタン酸バリウムとチタン酸ストロンチウムとの混晶薄膜からなる高誘電体薄膜を容量絶縁膜とする容量素子(例えば、バイパスキャパシタやカップリングキャパシタ)を含む集積回路が形成され多層基板の一面に設置された半導体基板とを備えた構成としている。

【0010】アルミナを含む多層基板は、その熱伝導性の良さと誘電正接の低さが特徴であり、高出力の電力増幅器等の用途に適している。また、バリウムを含む基板は、誘電率が高いという特徴を有する。多層基板として低温焼成基板を用いれば、この低温焼成基板は焼成温度が低いためCuやAg等の融点の低い導電材料を用いることができる。

【0011】請求項2記載の高周波回路は、請求項1記

載の高周波回路において、多層基板の反対主面に例えば RuO_2 により印刷抵抗素子が形成されている。これは、レーザ照射により印刷抵抗素子の一部を切断することで半導体の動作電流調整のための抵抗値の変更ができるようにするためである。また、印刷抵抗素子を多層基板の反対主面に形成したのは、多層基板の一主面に設けた半導体基板やワイヤーをレーザ照射時に発生する熱や飛散物質から防ぐためである。

【0012】請求項3記載の高周波回路は、請求項1記載の高周波回路において、多層基板を構成する一平板の表面上に2本以上の導体線路が形成されるとともに一平板の表面上の導体線路間に接地金属導体が形成され、かつ一平板を挟む上下の他の平板上のほぼ全面に接地導体層が形成されている。請求項4記載の高周波回路は、多層基板を構成する一平板の表面上にフィルタが形成され、かつ一平板を挟む上下の他の平板上のほぼ全面に接地導体層が形成されている。

【0013】

【作用】請求項1の構成によれば、従来キャパシタ形成用絶縁膜として用いられていた酸化珪素膜の代わりに、例えば誘電率300を有するチタン酸バリウムとチタン酸ストロンチウムの化合物(BSTO)を用いることで、同一膜圧でキャパシタの占める面積は50分の1になり、その結果チップ面積を大幅に減らすことができる。

【0014】また、多層基板の材料としては、アルミナまたはバリウムを含む低温焼成基板を用いているが、この低温焼成基板は、焼成温度が低いためCuやAg等の融点の低い導電材料を用いることができる。このCuやAgは導電率が極めて高いので損失が少ない回路を作ることができる。請求項2～4記載の構成によれば、請求項1の多層基板を用い、この多層基板の反対主面に印刷抵抗素子を配置し、多層基板の内層に導体線路やフィルタを配置することにより、モジュールを小型化することができる。

【0015】特に、導体線路やフィルタについては、多層基板の内層に設置し、かつ接地導体層がほぼ全面に形成された平板間に挟み込むことにより、モジュールに占める面積を小さくできるとともに、外部からの電磁界的な影響を遮断することができる。このように、電磁界的な影響を遮断することにより、例えばフィルタの通過周波数の安定性やQ値を向上させることができる。

【0016】また、裏面に例えばバイアス抵抗として印刷抵抗素子を配置したことにより、抵抗調整のためにレーザトリミングを行い印刷抵抗素子を削るときに生ずる熱や飛散物質から多層基板の主面に配置した半導体基板(ICチップ)やワイヤーに悪影響を及ぼすのを防ぐことができる。また、内層に複数の導体線路がある場合、その導体線路の間に接地金属導体を設置したので、導体

線路間の結合を阻止することができる。

【0017】そして、この発明によれば、以上のような構成を実施することにより、従来例に比べて高周波回路を約25%の大きさに小型化することができる。

【0018】

【実施例】以下に、この発明の第1の実施例について図を参照しながら説明する。図1は、この発明の第1の実施例の高周波回路として、多層基板を用いた高出力増幅器を示している。この回路で多層基板を構成する平板として用いられているアルミナ基板は、アルミナ97%の平板を1600度で焼成したもので、厚さ150 μm 、7mm角の大きさである。このアルミナ基板は熱伝導率がきわめて優れているという特徴を有する。このアルミナ基板(セラミックス焼成基板)からなる4枚の平板1～4を用い、これらを積層することで多層基板を形成しており、それぞれの層間はスルーホール12で結線している。

【0019】この高周波回路としての高出力増幅器は、3個のFET、高誘電体カップリングキャパシタ、抵抗、高誘電体バイパスキャパシタによって構成されたGaAs-MMIC(モノリシックマイクロ波IC)と、チップ部品によって構成された入出力段間整合回路とのハイブリッド構成となっている。この高出力増幅器は、平板1の表面、つまり第1層表面15には高誘電体内蔵GaAs-MMIC11、チップキャパシタおよびチップ抵抗等のチップ部品13とマイクロストリップ線路25が配置されている。すなわち、この第1層表面15には、熱的に放熱が不可欠である半導体素子、調整が必要な整合回路等を配置している。

【0020】また、平板2、4の表面、つまり第2層表面16および第4層表面18には、厚さ18 μm の接地導体層(W;タングステン)14をほぼ全面にわたって配置した。さらに、平板3の表面、つまり第3層表面17には、厚さ18 μm 、幅200 μm のストリップ線路を用いたバイアス電源線路兼終端開放の長さが線路内波長の4分の1の2本の導体線路21が配置されていて、それぞれの導体線路21、21間は、直径100 μm のスルーホールによって第2層表面16、第4層表面18の接地導体層14にそれぞれ接続した接地導体(接地線路)22によって分離している。これにより、複数の導体線路21、21が電磁界的な結合を気にせずに隣接して配置することができるようになった。また、垂直方向に対しては、第2層表面16と第4層表面18の接地導体層14によって挟まれた構造になっているため、外部と電磁界的に遮断され高周波的な不要結合を阻止している。また、ストリップ線路からなる導体線路21は、第1層表面15に形成したマイクロストリップ線路25に比べて波長の短縮効果により、回路が小型化される利点を持っている。

【0021】平板4の裏面、つまり第4層裏面19に

は、印刷抵抗素子 (RuO_2 からなる) によりバイアス抵抗が形成されている。このバイアス抵抗は回路を実際に動作させた時の動作電流をモニタしながらその一部をレーザでトリミングすることにより、回路の動作を調整することができる。裏面に、印刷抵抗素子を集中配置することにより、ICやあるいはICのダイスボンディングパッドやワイヤー 20 等をこのレーザによるトリミング時に発生する熱あるいは飛散物質等の影響から防ぐことができる。

【0022】以上の構成をとることにより、従来のモジュールの約 25 パーセントに面積を低減することができる。この実施例では、高誘電体内蔵 GaAs IC を用いているが、高誘電体内蔵の GaAs 以外の半導体、例えば Si 等の他の半導体でも同様な構成の回路を作ることができる。

【0023】この実施例では、アルミナ 97% の高温焼成基板を用いているが、アルミナを含みかつ Ba や Mg や Zn や Zr 等を含む低温焼成基板でも同様な構成の回路を作ることができる。このような、低温焼成基板では、導電体として Ag や Cu 等の導電率が高く、かつ熱膨張率が低い材料が使えるという特長を有している。図 2 は、この発明の第 2 の実施例の高周波回路として、ガラスセラミック多層基板を用いた携帯電話用小信号増幅器を示している。

【0024】この回路で多層基板を構成する平板として用いられている基板は、バリウムを含むガラス複合材料を 800 度で低温焼成した厚さ 150 μm 、縦横 10 mm のものである。この基板は、熱膨張率が小さいセラミックスであるため表層に厚膜抵抗体の形成が可能、アルミナ基板に比べて低温で焼成するため導電率の小さい配線材料 (Ag 、 Cu) の利用が可能等の特徴を有する。この実施例では、基板を 4 枚用いた多層基板を用いている。

【0025】この実施例では、上記のバリウムを含むガラス複合材料を 800 度で低温焼成した 4 枚の平板 1' ~ 4' を用い、これらを積層することで多層基板を形成しており、それぞれの層間はスルーホール 12 で結線している。この携帯電話用小信号増幅器において、平板 1' の表面、つまり第 1 層表面 15' には高誘電体内蔵 GaAs -MMIC 11、チップキャパシタおよびチップ抵抗等のチップ部品 13' とマイクロストリップ線路 25 を配置し、この回路の主要部を形成している。

【0026】つまり、熱的に放熱が不可欠である半導体部品、調整が必要な整合回路等がこの第 1 層表面 15' に配置されている。また、平板 2'、4' の表面、つまり第 2 層表面 16'、第 4 層表面 17' には接地導体層 14 がほぼ全面に配置されている。さらに、平板 3' の表面、つまり第 3 層表面 17 には、長さが線路波長の 8 分の 1 の終端短絡並列導体線路による 2 個のフィルタ 23、23 が配置されていて、それぞれのフィルタ 23、

23 間は、スルーホール 12 によって第 2 層表面 16、第 4 層表面 18 の接地導体層 14 に接続した接地導体 (接地線路) 24 によって分離している。垂直方向に対しては、第 2 層表面 16 と第 4 層表面 18 の接地導体層 14、14 によって挟まれた構造になっているため、外部と電磁界的に遮断され高周波的な不要結合を阻止している。また、フィルタ 23 を構成するストリップ線路は、第 1 層表面 15 に設置したマイクロストリップ線路 25 に比べて波長の短縮効果により、回路が小型化される利点を持っている。

【0027】以上の構成をとることにより、従来のモジュールの約 25 パーセントに面積を低減することができた。また、この実施例では、高誘電体内蔵 GaAs IC を用いているが、高誘電体内蔵の GaAs 以外の半導体、例えば Si 等の他の半導体でも同様な構成の回路を作ることができる。この実施例では、フィルタ 23 として、長さが線路波長の 8 分の 1 の終端短絡並列導体線路を用いているが、導体線路長さが線路波長の 4 分の 1 の終端開放導体線路、長さが線路波長の 4 分の 1 の終端短絡導体線路、長さが線路波長の 2 分の 1 の終端開放導体線路、長さが線路波長の 2 分の 1 の終端短絡導体線路、長さが線路波長の 3/8 の終端開放並列導体線路、幅が異なる導体線路を組み合わせたいわゆるステップインピーダンス型フィルタ、導体線路を断線させた構造をもつ直接結合型フィルタ、分布結合型帯域通過フィルタ、線路波長の 4 分の 1 の導体直線線路をリング状に構成したいわゆるハイブリッドリング型フィルタ、ラットレース型フィルタ、あるいは前記導体線路をスロットラインで置き換えた線路を単体または並列に用いた構成等でも優れた性質が得られる。

【0028】この実施例では、バリウムを含むガラスセラミック低温焼成基板を用いているが、アルミナ等を含む低温焼成基板でも同様な構成の回路を作ることができる。なお、多層基板としては、その用途に分けて、高出力アンプ等の高熱を発する回路にはアルミナを含む多層基板を用い、損失が重要な回路には低温焼成基板を用いることが好ましい。

【0029】

【発明の効果】請求項 1 の高周波回路によれば、チタン酸バリウムとチタン酸ストロンチウムの化合物を用いることで、同一膜圧でキャパシタの占める面積は 50 分の 1 になり、その結果チップ面積を大幅に減らすことができる。請求項 2 ~ 4 記載の高周波回路によれば、多層基板の反対主面に印刷抵抗素子を配置し、多層基板の内層に導体線路 (ストリップ線路) やフィルタを配置することにより、モジュールを小型化することができる。

【0030】特に、導体線路やフィルタについては、多層基板の内層に設置し、かつ接地導体層がほぼ全面に形成された平板間に挟み込めば、モジュールに占める面積を小さくできるとともに、外部からの電磁界

的な影響から遮断することができ、電磁界的な影響を遮断することにより、フィルタの通過周波数の安定性やQ値を向上させることができる。

【0031】また、裏面に印刷抵抗素子を配置すれば、抵抗調整のためにレーザトリミングを行い印刷抵抗素子を削るときに生ずる熱や飛散物質から多層基板の主面に配置した半導体基板（ICチップ）やワイヤーに悪影響を及ぼすのを防ぐことができる。また、内層に複数の導体線路がある場合、その導体線路の間に接地導体を設置すれば、導体線路間の結合を阻止することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例における多層基板の構成を示す図である。

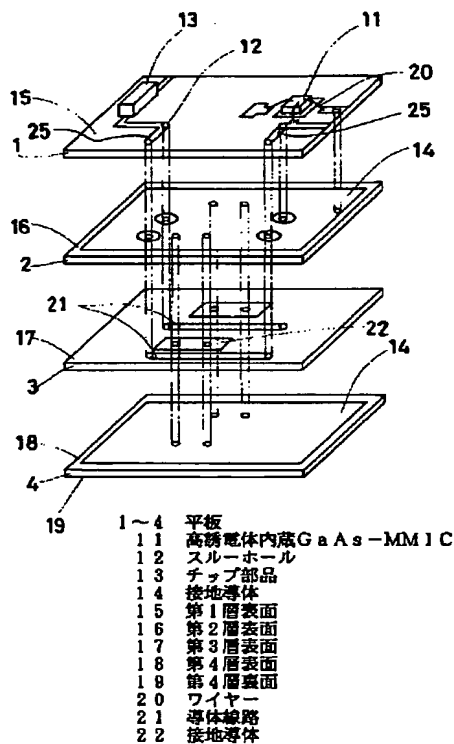
【図2】この発明の第2の実施例における多層基板の構成を示す図である。

【図3】従来例におけるモジュールの構成を示す図である。

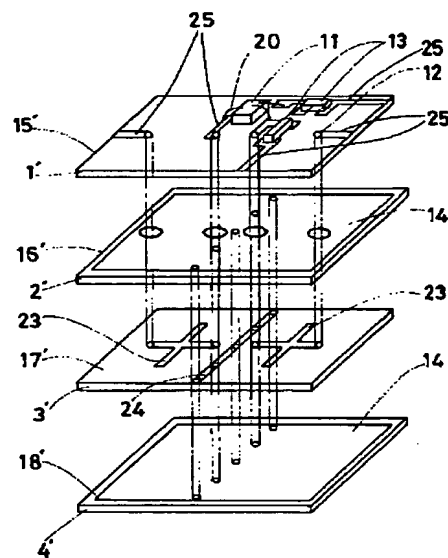
【符号の説明】

- 1～4 平板
- 11 高誘電体内蔵GaAs-MMIC
- 12 スルーホール
- 13 チップ部品
- 14 接地導体
- 15 第1層表面
- 16 第2層表面
- 17 第3層表面
- 18 第4層表面
- 19 第4層裏面
- 20 ワイヤー
- 21 導体線路
- 22 接地導体
- 23 導体線路
- 24 接地導体
- 25 マイクロストリップ線路

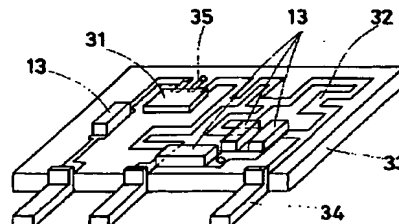
【図1】



【図2】



【図3】



This Page Blank (uspto)